

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102534

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 06-236257

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1994

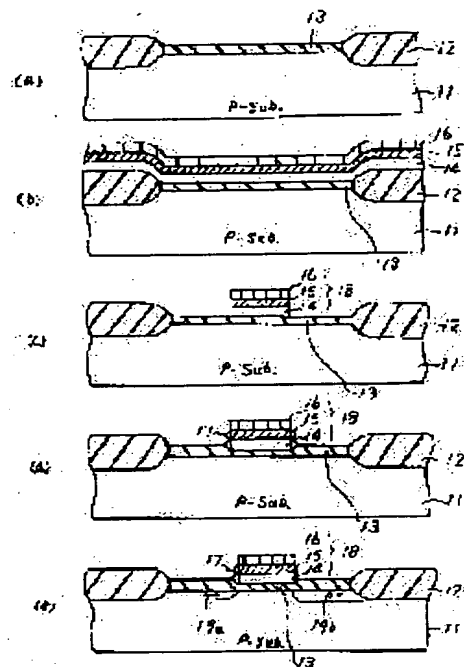
(72)Inventor : MURAOKA KOICHI
OKANO HARUO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a manufacturing method of a semiconductor device wherein thermal load is reduced and gate breakdown strength is improved by lowering a process temperature.

CONSTITUTION: This method is comprised of a process for forming a gate electrode 18 with a metallic layer single layer structure or a lamination structure including a metallic layer through a gate oxide film 13 on a silicon substrate 11, a process for processing gas to plasma by exciting gas containing oxygen and hydrogen such as water and a process for selectively oxidizing the silicon substrate 11 without oxidizing a metallic layer 16 by using gas containing plasma oxygen or hydrogen.



LEGAL STATUS

[Date of request for examination]

23.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3350246

[Date of registration]

13.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

FEL0404-DET
7/2

国際調査報告

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102534

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶ H 0 1 L 29/78 21/336	識別記号 F I	庁内整理番号 H 0 1 L 29/ 78	技術表示箇所 3 0 1 Y
--	-------------	--------------------------	-------------------

審査請求 未請求 請求項の数10 O L (全 9 頁)

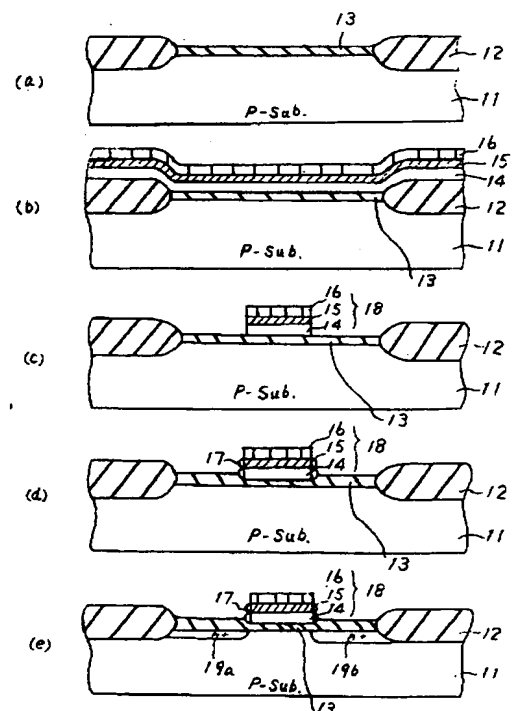
<p>(21) 出願番号 特願平6-236257</p> <p>(22) 出願日 平成6年(1994)9月30日</p>	<p>(71) 出願人 000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地</p> <p>(72) 発明者 村岡 浩一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内</p> <p>(72) 発明者 岡野 晴雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内</p> <p>(74) 代理人 弁理士 則近 憲佑</p>
--	---

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 プロセス温度を低下することにより、熱的負荷を軽減するとともに、ゲート耐圧を向上させた半導体装置の製造方法を提供すること。

【構成】 シリコン基板11上にゲート酸化膜13を介して金属層単層構造あるいは金属層を含む積層構造を有するゲート電極18を形成する工程と、水等の酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、金属層16を酸化することなくシリコン基板11を選択的に酸化する工程とを含むことを特徴とする。



【特許請求の範囲】

【請求項 1】 酸素及び水素を含むガスを励起して該ガスをプラズマ化することにより H 及び OH を生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記 H 及び OH を供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項 2】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 前記レジストパターンを除去する工程及び前記シリコン層を選択的に酸化する工程は、同一の真空チャンバー内で連続的に行うことを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 前記レジストパターンを除去した後、さらに加熱を行い、前記レジストパターンを除去する工程の温度より高い温度で、前記シリコン層を選択的に酸化することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 7】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工

程とを含むことを特徴とする半導体装置の製造方法。

【請求項 8】 前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給することを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

【請求項 9】 前記酸素及び水素を含むガスとして水 (H_2O) を用いることを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

【請求項 10】 前記金属又は金属化合物からなる領域又は層としてタングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タantal、チタン、アルミニウム、銅、又はこれらの化合物を用いることを特徴とする請求項 1、2、3、又は 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係わり、特に金属又は金属化合物の酸化を抑えつつ酸化雰囲気における処理を行う工程を改良した半導体装置の製造方法に関する。

【0002】

【従来の技術】 現在、半導体装置の電極や配線としては多結晶シリコンが広く用いられている。しかしながら、半導体装置の高集積化、高速化に伴い電極や配線の抵抗による信号伝達遅延が重大な問題となってきた。特に、大容量、高集積化が進展している MOSLSI の分野では、ゲート電極に使用されている多結晶シリコンは第 1 層配線と共用になるので、ここでの抵抗値が半導体装置の高速動作の障害となっている。

【0003】 このようなことから、多結晶シリコンに代わる電極配線材料として、熱的な安定性と電気的低抵抗性を有する高融点金属のシリサイドが使用されつつある。また、最近では W、Mo 等の高融点金属そのものをゲート電極として使用する試みもなされている。W、Mo 等の高融点金属は、その電気抵抗率が多結晶シリコンよりも 2 桁低く、またシリサイドの抵抗率の $1/4 \sim 1/3$ であり、低抵抗の電極配線材料として有望視されている。

【0004】 上述した高融点金属 (例えば W) をゲート電極の一構成材料として用いた半導体装置としては、従来より図 7 (a) に示す構造のものが知られている。即ち、図中の 71 は p 型シリコン基板であり、この基板 71 には素子領域を電気的に分離するためのフィールド絶縁膜 72 が形成されている。このフィールド絶縁膜 72 で分離された基板 71 表面には、互いに電気的に分離されたソース、ドレインとなる n+ 型拡散層 73a、73b が形成されている。これら拡散層 73a、73b 間のチャネル領域を含む前記基板 71 表面上には、ゲート酸

化膜 74 を介して多結晶シリコン層 75、窒化金属層

(例えば TiN 層) 76 及び W 層 77 からなるゲート電極 78 が設けられている。なお、前記ゲート電極 78 を構成する窒化金属層 76 は W 層 77 の多結晶シリコン層 75 に対する密着性を向上すると共に、W 層 77 と多結晶シリコン層 75 とが反応して抵抗率が 1 桁上昇するのを防止する反応障壁層として作用する。

【0005】ところで、従来より採用されている多結晶シリコンゲート電極の形成工程では、5~50nm といった薄いゲート酸化膜に対する欠陥やゲート電極のエッジ形状に起因するゲート耐圧劣化を回復するために、酸化雰囲気(例えば乾燥酸素)中で熱処理を行い、多結晶シリコン層の露出面やソース、ドレイン領域となる基板表面上にシリコン酸化層を新たに成長させる工程を行っている。この工程は、ゲート後酸化工程と呼ばれている。

【0006】しかしながら、一般に W、Mo 等の高融点金属等は酸化雰囲気中での熱処理において耐性がないため、前述した図 7(a) に示すゲート電極構造に対して従来のような後酸化工程を適用することができないという問題があった。

【0007】上記問題を解決する方法として、還元性気体(例えば水素)及び酸化性気体(例えば水蒸気)を含み、さらに窒素を含む気体を希釈用気体とした雰囲気中で熱処理することで、ゲート電極を構成する金属層及び窒化金属層の酸化を招くことなくシリコン酸化膜を形成でき、ゲート耐圧を向上させることが可能なシリコン選択酸化技術がよく知られている(特開平 3-119763)。

【0008】この選択酸化技術においては、上記還元性気体として H_2 を、酸化性気体として水蒸気(H_2O)を、窒素を含む気体として N_2 を用いた場合には、それらの混合比率を次のように設定することが望ましいと言われている。即ち、 H_2 、 H_2O 、 N_2 の分圧を P_{H_2} 、 P_{H_2O} 、 P_{N_2} とすると、 P_{H_2}/P_{H_2O} を 0.5 以上、 1.0×10^9 以下にし、かつ $10g P_{N_2}$ を -22 以上、14 以下にする。更に、より好ましい条件としては前記温度を 800~900℃ にすることがよく、この際、 P_{H_2}/P_{H_2O} を 1.0×10^3 以上、 1.0×10^4 以下にし、かつ $10g P_{N_2}$ を -2 以上、2 以下にする。この雰囲気条件で熱処理することにより、ゲート電極を構成する金属層及び窒化金属層を酸化させずにシリコンのみを酸化することが可能となっている。

【0009】しかしながら、最近の精力的な研究によりこの種の方法にあっては以下のような問題の生じることが明らかとなった。まず、上記選択酸化条件だと P_{H_2O} が低い場合シリコンの酸化速度が非常に遅く、ゲート電極の耐圧性向上に必要なシリコン酸化膜を得るためには高温長時間加熱する必要があることが明らかになった。

【0010】例として、ゲート電極 8 を選択酸化雰囲気

(916℃、 $H_2/H_2O/N_2 = 0.164/1 \times 10^{-4}/0.836 \text{ atm}$) で 120 分加熱を行っても、 SiO_2 膜厚は約 2~3nm しか形成されない(図 7(b))。そのため、916℃ という高温加熱を長時間行うと必要があり、加熱が長時間に及ぶと、ゲート電極 78 の多結晶シリコン層 75 中のドーパント 75' がゲート酸化膜 74 中に拡散し、ゲート電極の耐圧性を劣化させることが明らかになった。

【0011】上記問題以外に、金属層上のレジストを剥離する工程において、金属層表面が改質される問題が生じている。例として、W ゲート電極の加工後の W 上面のレジストを剥離する工程においては、SH 処理($H_2SO_4 + H_2O_2$)によると W を溶かしてしまうため、 O_2 アッシャーによりレジスト剥離を行っている。このとき W 表面の酸化が起こるため、表面の酸化物を還元する必要がある。またレジスト剥離方法として $CF_4 + H_2O$ のダウンフロープラズマ処理があるが、レジスト剥離後の表面が F で汚染されてしまう問題が生じている。

【0012】さらにまた、上記した問題は、ゲート電極に限らず金属配線上のレジストマスク、スルーホール開口のマスクとなるレジストマスクに関しても同様に生じている。

【0013】

【発明が解決しようとする課題】以上述べたように、従来のゲート後酸化工程や酸化雰囲気におけるレジストの剥離工程等においては、ゲート電極の耐圧性が減少するなど半導体素子の特性が劣化してしまう問題や、電極配線となる金属又は金属化合物層が容易に酸化され、形成された酸化物を再度還元しなくてはならず、工程数が増加してしまう問題等が生じていた。本発明は、上記実情に鑑みてなされたものであり、酸化雰囲気における処理工程を改良した半導体装置の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】前述した問題を解決するために本発明は、酸素及び水素を含むガスを励起して該ガスをプラズマ化することにより H 及び OH を生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記 H 及び OH を供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。

【0015】また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0016】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金

属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0017】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【0018】上記した本発明において、以下の態様が特に好ましい。

(1) 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うこと。

【0019】(2) 前記レジストパターンを除去する工程及び前記シリコン層を選択的に酸化する工程は、同一の真空チャンパー内で連続的に行うこと。

(3) 前記レジストパターンを除去した後、さらに加熱を行い、前記レジストパターンを除去する工程の温度より高い温度で、前記シリコン層を選択的に酸化すること。

【0020】(4) 前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給すること。

【0021】(5) 前記酸素及び水素を含むガスとして水(H_2O)を用いること。

(6) 前記金属又は金属化合物からなる領域又は層としてタングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タンタル、チタン等、又はこれらの化合物を用いること。また、アルミニウム、銅やこれらの化合物を用いても良い。

【0022】(7) ゲート電極を、金属層単層構造、金

属層／反応障壁層、及び金属層／反応障壁層／多結晶シリコン層等の積層構造とすること。

(8) 反応障壁層として、チタン、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の窒化物、酸化物、窒化酸化物を用いること。

【0023】(9) 前記酸素及び水素を含むガス、例えば水と希ガス(Ar や Kr 等)とを混合し、その混合ガスをを用いて前記シリコンからなる領域又は前記シリコン層を選択的に酸化すること。

【0024】

【作用】本発明によれば、酸素及び水素を含むガスを励起して該ガスをプラズマ化することにより H 及び OH を生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記 H 及び OH を供給するので、 OH 等によりシリコンからなる領域の酸化を行うとともに、同時に酸化される金属又は金属化合物からなる領域を H により効果的に還元することができる。なおこの場合、 H はシリコン酸化物を還元する能力が弱いので、酸化されたシリコンからなる領域をシリコンへ還元することはない。

【0025】したがって、プラズマ化した酸素及び水素を含むガスをを用いることにより、シリコン層上にゲート絶縁膜を介して形成されたゲート電極中の金属又は金属化合物からなる層を酸化させずに、前記シリコン層を選択的に酸化することを簡単な工程で行うことが可能である。

【0026】即ち、ゲート電極を構成する金属層等の酸化を抑制しつつ、レジスト剥離あるいはゲート後酸化の工程を容易に行うことができ、さらに低温で SiO_2 膜を形成することができるので、熱的負荷の軽減が可能となり、ゲート耐圧の向上を達成することができる。

【0027】また、本発明の方法における酸素及び水素を含むガスのプラズマ化、例えば水の放電処理の工程においては、水の分圧、印可電力、印可周波数、基板温度を変化させることにより、金属層等とシリコン層の酸化の選択性を変えることが可能である。

【0028】さらに、前記シリコンからなる領域又は前記シリコン層を選択的に酸化する場所と離れた場所において、前記酸素及び水素を含むガスをプラズマ化し、プラズマ化した該ガスを前記シリコンからなる領域又は前記シリコン層に供給することによって、前記ゲート絶縁膜に対してダメージを与えることなく、効果的にシリコンの選択的酸化を行うことができる。

【0029】

【実施例】以下、図面を参照して、本発明の実施例について詳細に説明する。図1(a)～(d)は、本発明の第1の実施例に係るゲート電極の形成工程を示す断面図である。

【0030】まず、図1(a)に示すように、例えば p

型シリコン基板11表面に選択酸化によりフィールド酸化膜12を形成した後、熱酸化処理を施してフィールド酸化膜12で分離されたシリコン基板11に厚さ5~30nmのシリコン酸化膜13を形成した。

【0031】次いで、シリコン酸化膜13上に導電性不純物が添加された厚さ50nmの多結晶シリコン層14を堆積した後、基板11を473Kの温度に保持した状態で、TiをターゲットとしてN₂とArの混合ガス中でスパッタリングすることにより、多結晶シリコン層14上に厚さ50nmのTiN層15を堆積した。つづいて、LPCVD法により水素(H₂)、モノシラン(SiH₄)、及び六フッ化タングステン(WF₆)の混合ガスを用い、H₂を0.173 Torr、SiH₄を0.013 Torr、WF₆を0.065 Torrの各分圧に保持し、420℃の基板温度でTiN層15上に厚さ約150nmのW層16を堆積した(図1

(b))。

【0032】ひきつづき、前記W層16、TiN層15及び多結晶シリコン層14を通常のフォトリソグラフィと反応性イオンエッチング(RIE)を用いて順次選択的にエッチングし、O₂アッシャーによりレジストを剥離することで図1(c)に示すゲート電極18を形成した。

【0033】次に、水蒸気(H₂O)分圧を25.6m Torr、基板温度を530℃とし、マイクロ波放電(2450MHz、印可電力100W)によりH₂Oをプラズマ化して、これをダウンフローでシリコン基板11に供給した。このプラズマ処理は30分行った。

【0034】図2は、上記マイクロ波放電を用いた処理装置の概略構成を示す断面図である。この図に示されるように、反応容器(石英管)27内には試料28(ここではシリコン基板11)が収容され、試料28はセラミックヒーター29により所望の温度に加熱されるようになっている。一方、21は水を収容する原料容器であり、この原料容器21中の水は、水の分圧を制御するニードルバルブ22、23、及び水の分圧を測定する水分計24の設けられたガス導入管を通して、マイクロ波放電部25に供給される。このマイクロ波放電部25において、水がマイクロ波放電によって励起され、プラズマ26となる。プラズマ化された水は上記反応容器27内に設けられた試料28に対して供給される。なお、30、31はそれぞれターボ分子ポンプ、ロータリーポンプである。

【0035】以上の条件の下での酸化処理によると、図1(d)に示すように多結晶シリコン層14の側壁部とシリコン基板11が酸化されるとともに、W表面は酸化されず、且つ露出したTiN層15の側壁がわずかに酸化されて約0.5nmのTiO₂膜17が形成されていることが確認された。これは従来の方法に比べ、プロセス温度が916℃から530℃にまで低温化でき、且つ

W層及びTiN層の酸化抑制に有効であることが明らかとなった。更に、レジスト剥離アッシングによって酸化されたW表面は還元され良好な膜になる。また、本実施例の方法によりゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることを確認した。

【0036】つづいて、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することによりシリコン基板11表面にソース、ドレインとなるn⁺型拡散層19a、19bを形成した(図1(e))。

【0037】本実施例によれば、ゲート電極構造におけるW層、TiN層の酸化を最小にとどめると共に、プロセス温度の低下により良好なゲート電極絶縁耐性を有する半導体装置を製造することができることが確認された。

【0038】図3(a)~(c)はそれぞれ印加電力、基板温度、水分圧に対するSiO₂膜及びWO₃膜の膜厚を示す特性図である。本実施例に示した水の放電は、図3(a)~(c)の条件の範囲内で変化させることが可能である。斜線領域は、Wが酸化せずSiのみ酸化する選択酸化領域であり、傾向として印加電力と基板温度は高いほど選択性がよく、また水分圧は低いほど選択性が良い。このそれぞれの選択酸化領域は水分圧、基板温度、印加電力の3つのパラメーターの増減により種々変化するものであり、また金属の種類によっても選択酸化領域は異なる。ここで水の放電条件は、水分圧1~2000m Torr、印加電力10~500Wが好ましく、基板温度としては室温から1000℃の範囲において有効である。更に好ましくは、水分圧10~1000m Torr、10~50m Torr、更には25m Torrが良い。また、印加電力100W以上、基板温度300~800℃の範囲において、より良好な結果が得られる。さらにまた、放電方法はマイクロ波によるもの以外に、RFを用いた平行平板型によるもの、磁石や電磁石を用いたマグネトロン型のもの、あるいはヘリコン波を用いたもの等がある。

【0039】次に、本発明の第2の実施例に係る半導体装置の製造工程について、図4(a)~(c)を参照して説明する。まず、第1の実施例と同様にしてW層16を堆積する工程まで行った後、W層16上にレジスト膜20を塗布してこれを通常のフォトリソグラフィによってパターンニングした。次に、レジストパターン20をマスクとして、W層16、TiN層15、及び多結晶シリコン層14を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図4(a)に示すゲート電極18を形成した。

【0040】次いで、ゲート電極18上部の1μmのレジストパターン20を剥離するために水の放電を行った。放電条件としては、水蒸気(H₂O)分圧を25.6m Torr、基板温度を530℃とし、第1の実施例

と同様にマイクロ波放電により H_2O をプラズマ化して、これをダウンフローでシリコン基板11に供給した。このプラズマ処理は30分行った。

【0041】この水の放電による処理により、図4

(b)に示すように、W層16上のレジスト膜20は剥離された。この時、W層16の表面は酸化されていなかった。また、この時、ゲート電極18の多結晶シリコン層14の側壁部、TiN層15の側壁部がわずかに酸化され、且つゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることが確認された。

【0042】続いて、フィールド酸化膜12及びゲート電極18をマスクとして、n型不純物、例えば砒素をイオン注入し、活性化することによりシリコン基板11表面にソース、ドレインとなる n^+ 型拡散層19a、19bを形成した(図4(c))。

【0043】また、金属層上のマスクはレジストだけでなく、カーボンにおいても同様の効果が得られた。本実施例に示した水の放電は、第1の実施例で示した条件の範囲内で変化させることが可能である。

【0044】本実施例によれば、水の放電処理工程において、レジスト剥離工程と同時にゲート後酸化工程を行うことができ、工程短縮と同時にプロセス温度の低下が可能である。更に、良好なゲート電極絶縁耐性を有するMOS型半導体装置を製造することができ、ことが確認された。

【0045】次に、本発明の第3の実施例に係る半導体装置の製造工程について、図5(a)～(c)を参照して説明する。まず、第1、第2の実施例と同様にしてW層16を堆積する工程まで行った後、W層16上にレジスト膜20を塗布してこれを通常のフォトリソグラフィによってパターンニングした。次に、レジストパターン20をマスクとして、W層16、TiN層15、及び多結晶シリコン層14を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図5(a)に示すゲート電極18を形成した。

【0046】次いで、ゲート電極18上部の1 μm のレジスト膜20を剥離するため水の放電を行った。放電条件として、水蒸気(H_2O)分圧を25.6mTorr、基板温度を100℃とし、マイクロ波放電(2450MHz、印可電力100W)による H_2O ダウンフロープラズマ処理を30分行った。この結果、図5(b)に示すように、W層16上のレジスト膜20は剥離された。この時、W層16の表面は酸化されていなかった。更に、ゲート電極18の下部エッジ領域の酸化膜を厚くするために、基板11を反応容器27内に配置した状態で連続して、かつマイクロ波放電条件を上記条件に維持しつつ、基板温度を530℃に昇温し30分間保持した後、降温した。この水放電処理により、ゲート電極18の下部エッジ領域の酸化膜が約5nm厚くなっていることが確認された。この時も、W層16の表面は酸化され

ていなかった。(図5(c))。

【0047】続いて、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することにより、シリコン基板11表面にソース、ドレインとなる n^+ 型拡散層19a、19bを形成した(図5(d))。

【0048】本実施例においては、低温でレジスト膜を剥離した後、高温で選択酸化を行うため、レジスト膜剥離による雰囲気中の残留有機物が基板と反応しにくく、且つ速やかに排気される。この方法により、有機物汚染の影響を受けない良好なゲート酸化膜を形成することができ、信頼性の高いゲート電極を得ることが可能となる。

【0049】また、本実施例に示したレジスト膜剥離時の基板温度は室温～500℃の範囲において有効であり、その後の選択酸化時の基板温度は500～1000℃の範囲において良好な結果が得られる。また水分圧、印加電力の条件は第1の実施例で示した条件の範囲内で変化させることが可能である。

【0050】更に本実施例では、同一真空チャンバー内において基板を連続処理するので、異なるチャンバー間を移動させるなど、工程が複雑となることはなく、簡単な工程でレジスト剥離処理、選択酸化処理を行うことができる。なお、工程の複雑化がある程度許される状況下においては、レジスト剥離処理、選択酸化処理を異なる真空チャンバー内において行うこともできる。この場合、基板のチャンバー間搬送を真空中で行うことが好ましく、これにより、選択酸化処理に与える残留有機物の影響を最小限に抑えることが可能である。

【0051】次に、他の例に係る半導体装置の製造工程について、図6(a)及び(b)を参照して説明する。この例は、金属又は金属化合物からなる層を形成し、この金属又は金属化合物からなる層上にレジストパターンを形成し、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、電極又は配線を形成し、その後、図2に示したダウンフロー方式の装置により水のみからなるガスを励起してプラズマ化し、このガスを基板に供給することによって前記レジストパターンを除去する方法である。

【0052】まず、(001)を主面とするn型シリコン基板32にフィールド酸化膜33、 p^+ 拡散層34を順次形成する。次に、層間絶縁膜としてCVD-SiO₂膜35、BPSG膜36の積層膜を全面に堆積した後、拡散層上にコンタクトホールを設け、このコンタクトホール底部にTiSi₂層37を選択的に形成し、さらに該コンタクトホール内にW層38を選択的に埋め込む。この後、Ti膜39/TiN膜40/Al膜41を順次積層形成し、この上にレジスト膜42を塗布してこれを通常のフォトリソグラフィによってパターンニングした。次に、レジストパターン42をマスクとして、A

1膜41、TiN膜40、Ti膜39を反応性イオンエッチング(RIE)により順次選択的にエッチングすることにより、図6(a)に示す配線層43をパターン形成した。

【0053】次いで、Al膜41上のレジスト膜42を剥離するため水の放電を行った。放電条件として、水蒸気(H₂O)分圧を10mTorr、基板温度を100℃とし、マイクロ波放電(2450MHz、印可電力100W)によるH₂Oダウンフロープラズマ処理を30分行った。

【0054】この水放電処理により、図6(b)に示すようにAl膜41上のレジスト膜42は剥離された。この時、配線層43中のAl膜41の表面は酸化されず、また配線層43中のTiN膜40、Ti膜39の側面には約0.5nmのTiO₂膜44が形成されていることが確認された。

【0055】従来のO₂アッシャーによるレジスト剥離の方法では、剥離工程中にAl配線表面も酸化されてAl₂O₃が形成されるので、次の工程においてこのAl₂O₃を除去することが必須となる。本実施例によれば、レジスト剥離時にAl配線表面が酸化されないの

で、Al₂O₃の除去工程は必要なく、工程数削減につながり信頼性の高い半導体装置を製造することができる。

【0056】なお、上記例においてはAl配線について述べたが、これに限らずCu等の金属配線全般、あるいは金属電極全般においても適用可能である。さらに、金属化合物層(TiNやTiSi₂等)上のレジスト剥離に対しても適用可能である。

【0057】また、上記例に示した水の放電において、基板温度範囲が室温〜500℃の時良好な結果が得られ、印加電力、水分圧の条件は第1の実施例で示した範囲内で変化させる事が可能である。

【0058】また、レジスト剥離工程に限らず、例えば従来のレジスト剥離工程後に金属層や金属化合物層等の上に残留する有機物を除去する工程に対しても本発明は適用可能であり、同様の効果が得られた。

【0059】なお、本発明は上記実施例に限定されない。例えば、酸素及び水素を含むガスとしては、水以外に、過酸化水素、水素、酸素等を用いることができる。特に、水と水素、あるいは過酸化水素と水素を組み合わせると選択酸化の効果が著しい。

【0060】さらに、酸素及び水素を含むガス、例えば水と希ガス(ArやKr等)とを混合し、その混合ガスを用いてシリコンを選択的に酸化しても良く、これによりシリコンの酸化速度を上げることも可能である。

【0061】また、金属層としてAl膜やW層を挙げたが、他の金属層、例えばモリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タンタル、チタン、銅等の層でも良い。さらに、金属層以

外、例えば金属化合物層(TiNやTiSi₂等)でも良い。

【0062】また、金属層と多結晶シリコン層の間等に挟む反応障壁層としては、窒化チタン以外に、ジルコニウム、ハフニウム、タンゲステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の窒化物、さらにチタン、ジルコニウム、ハフニウム、タンゲステン、バナジウム、ニオブ、タンタル、クロム、レニウム、シリコン等の酸化物、窒化酸化物等を用いても良い。

【0063】さらにまた、シリコン層としては、シリコン基板表面の層、SOI(Silicon On Insulator)基板表面のシリコン層、あるいは絶縁基板上的シリコン層等が考えられる。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することが可能である。

【0064】

【発明の効果】本発明によれば、プラズマ化した酸素及び水素を含むガスを用いることにより、金属又は金属化合物からなる層に対してシリコン層を選択的に酸化することを簡単な工程で行うことが可能である。

【0065】したがって、ゲート電極を構成する金属層等の酸化を抑制しつつ、レジスト剥離あるいはゲート後酸化の工程を容易に行うことができ、さらに低温でSiO₂膜を形成することができるので、熱的負荷の軽減が可能となり、ゲート耐圧の向上を達成することができる。

【図面の簡単な説明】

【図1】 本発明による半導体装置の製造方法に係わる第1の実施例を示す工程断面図。

【図2】 上記第1の実施例において使用するマイクロ波放電を用いた処理装置の概略構成を示す断面図。

【図3】 印加電力、基板温度、水分圧に対するSiO₂膜及びWO₃膜の膜厚を示す特性図

【図4】 本発明による半導体装置の製造方法に係わる第2の実施例を示す工程断面図。

【図5】 本発明による半導体装置の製造方法に係わる第3の実施例を示す工程断面図。

【図6】 他の例を示す工程断面図。

【図7】 従来例の半導体装置の製造方法を示す工程断面図。

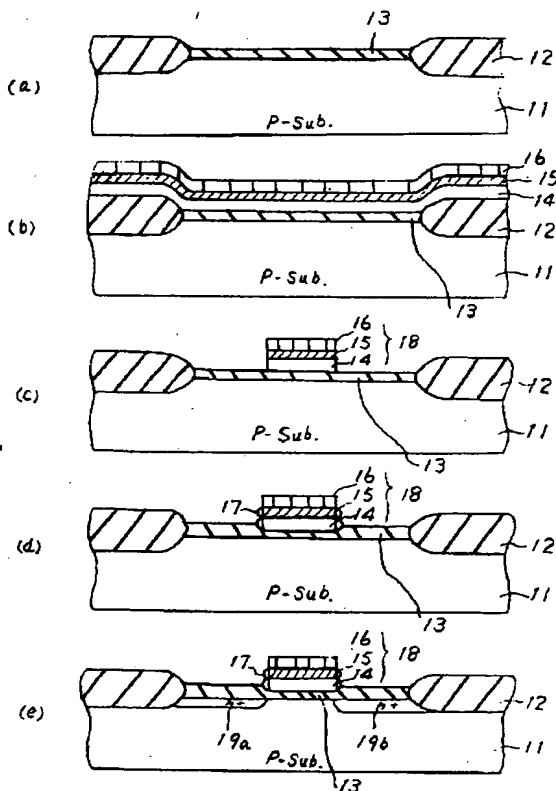
【符号の説明】

- 11：p型シリコン基板
- 12：フィールド酸化膜
- 13：シリコン酸化膜
- 14：多結晶シリコン層
- 15：TiN層
- 16：W層
- 17：TiO₂膜
- 18：ゲート電極
- 19a、19b：n⁺型拡散層

13

- 20:レジスト膜
- 21:原料容器
- 22:ニードルバルブ
- 23:ニードルバルブ
- 24:水分計
- 25:マイクロ波放電部
- 26:プラズマ
- 27:反応容器(石英管)
- 28:試料(基板)
- 29:セラミックヒーター
- 30:ターボ分子ポンプ
- 31:ロータリーポンプ
- 32:n型シリコン基板
- 33:フィールド酸化膜
- 34:p⁺ 拡散層
- 35:CVD-SiO₂ 膜
- 36:BPSG膜

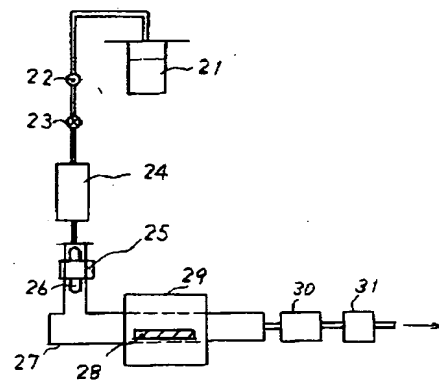
【図1】



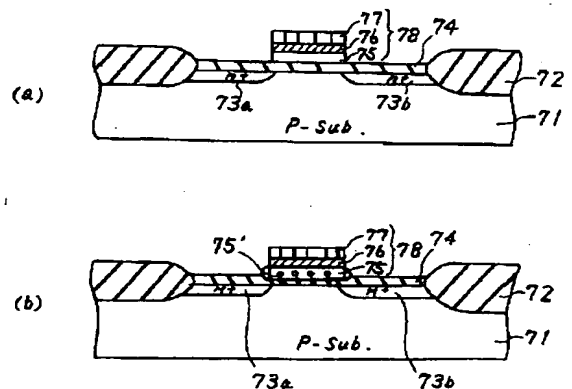
14

- 37:TiSi₂ 層
- 38:W層
- 39:Ti膜
- 40:TiN膜
- 41:Al膜
- 42:レジストパターン
- 43:配線層
- 44:TiO₂ 膜
- 71:p型シリコン基板
- 72:フィールド絶縁膜
- 73a、73b:n⁺ 型拡散層
- 74:ゲート酸化膜
- 75:多結晶シリコン
- 75':ドーパント
- 76:窒化金属層
- 77:W層
- 78:ゲート電極

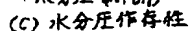
【図2】



【図7】



【図 4】



(a) P-Sub

(b) P-Sub

(c) P-Sub

(d) P-sub



Fig. 1 consists of two cross-sectional views, (a) and (b), of a semiconductor device. Both views show a central vertical structure with a central layer 38, a top layer 42 (in a) or 44 (in b), and a bottom layer 34. A bracket 43 groups layers 39, 40, and 41. The device is mounted on a substrate 32, with a layer 33 and a layer 35. A layer 36 is also shown. The central structure is surrounded by a layer 37.



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成13年10月26日(2001.10.26)

【公開番号】特開平8-102534
【公開日】平成8年4月16日(1996.4.16)
【年通号数】公開特許公報8-1026
【出願番号】特願平6-236257
【国際特許分類第7版】

H01L 29/78

21/336

【FI】

H01L 29/78 301 Y

【手続補正書】

【提出日】平成13年1月23日(2001.1.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域を備える基板に対して前記H及びOHを供給し、シリコンからなる領域を酸化することを特徴とする半導体装置の製造方法。

【請求項2】 酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項3】 酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法。

【請求項4】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方

法。

【請求項6】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記レジストパターンを除去する工程は、酸素及び水素を含むガスを励起して該ガスをプラズマ化し、プラズマ化した前記酸素及び水素を含むガスをを用いて行うことを特徴とする請求項6、7記載の半導体装置の製造方法。

【請求項9】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物

からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】前述した問題を解決するために本発明は、酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域を備える基板に対して前記H及びOHを供給し、シリコンからなる領域を酸化することを特徴とする半導体装置の製造方法を提供する。また、本発明は、酸素及び水素を含むガスからH及びOHを生成する工程と、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。また本発明は、酸素及び水素を含むガスを励起して該ガスをプラズマ化することによりH及びOHを生成し、シリコンからなる領域と金属又は金属化合物からなる領域とが混在した基板に対して前記H及びOHを供給し、シリコンからなる領域を選択的に酸化することを特徴とする半導体装置の製造方法を提供する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記シリコン層を選択的に酸化する工程とを

含むことを特徴とする半導体装置の製造方法である。また本発明は、シリコン層上にゲート絶縁膜を介して金属又は金属化合物からなる層を含むゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、前記レジストパターンを除去する工程と、この酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスを用いて、前記レジストパターンを除去した後の前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物からなる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起する工程と、励起された前記酸素及び水素を含む

ガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。また本発明は、シリコン層上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に金属又は金属化合物からなる層を形成する工程と、この金属又は金属化合物からなる層上にレジストパターンを形成する工程と、このレジストパターンをマスクとして前記金属又は金属化合物から

なる層をエッチングすることにより、ゲート電極を形成する工程と、酸素及び水素を含むガスを励起して該ガスをプラズマ化する工程と、プラズマ化した前記酸素及び水素を含むガスをを用いて、前記レジストパターンを除去するとともに前記シリコン層を選択的に酸化する工程とを含むことを特徴とする半導体装置の製造方法を提供する。